

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-124836

(43)Date of publication of application : 11.05.2001

(51)Int.Cl. G01R 31/3183
G01R 31/28

(21)Application number : 2000-295463

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 25.09.2000

(72)Inventor : TURNQUIST JAMES ALAN
SUGAMORI SHIGERU
ROCHETTO RAJUMAN
YAMOTO HIROAKI

(30)Priority

Priority number : 1999 406300 Priority date : 25.09.1999 Priority country : US

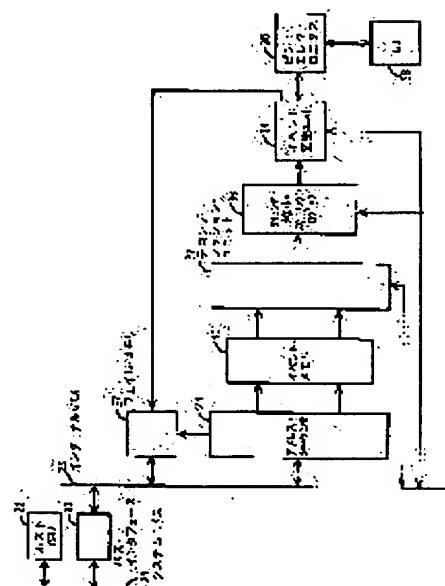
(54) EVENT TYPE SEMICONDUCTOR TESTING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an event type semiconductor testing system for testing a device to be tested.

SOLUTION: This even type testing system is constituted of an event memory storing respective even timing data (time differences between just previous events and a common reference time point) constituted of an integer multiple (integral part data) of a reference clock period (period) and a fractional part (fractional part data) of the reference clock period, an address sequencer accessing the even memory and forming address data for reading timing data, a timing count logic forming an event start signal delayed by a time found by multiplying the reference clock by the integral part data, an event generation unit forming a test signal and a strobe signal on the basis of the event start signal from the timing count logic and the fractional part data from the event memory, and a host computer controlling the event type test system as a whole according to a test program.

[図2]



LEGAL STATUS

[Date of request for examination] 31.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-124836

(P2001-124836A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

G O I R 31/3183
31/28

G O I R 31/28

Q
H

審査請求 有 請求項の数 13 O L

(全 21 頁)

(21) 出願番号 特願2000-295463 (P2000-295463)

(22) 出願日 平成12年9月25日 (2000.9.25)

(31) 優先権主張番号 09/406300

(32) 優先日 平成11年9月25日 (1999.9.25)

(33) 優先権主張国 米国 (U S)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 ジェイムス・アラン・ターンキスト

アメリカ合衆国、カリフォルニア州、サン
タクララ、スコット・ブラバード 3201

(72) 発明者 菅森 茂

アメリカ合衆国、カリフォルニア州、サン
タクララ、スコット・ブラバード 3201

(72) 発明者 ロチェット・ラジュマン

アメリカ合衆国、カリフォルニア州、サン
タクララ、スコット・ブラバード 3201

最終頁に続く

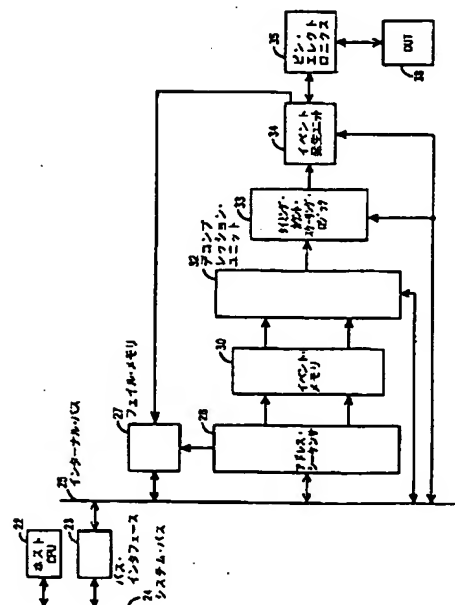
(54) 【発明の名称】 イベント型半導体テストシステム

(57) 【要約】

【課題】 被試験デバイスをテストするための、イベント型半導体テストシステムを提供する。

【解決手段】 このイベント型テストシステムは、基準クロック周期 (ピリオド) の整数倍 (インテグラル部データ) と基準クロック周期の端数部分 (フラクショナル部データ) により構成される各イベント・タイミングデータ (直前のイベントと共通基準時点との時間の相違) を記憶するイベントメモリと、そのイベントメモリをアクセスしてタイミングデータを読み出すためのアドレスデータを作成するアドレスシーケンサと、基準クロックに上記インテグラル部データを乗算した時間だけ遅延したイベントスタート信号を形成するタイミング・カウンタ・ロジックと、そのタイミング・カウンタ・ロジックからのイベントスタート信号と、上記イベントメモリからの上記フラクショナル部データとに基づいて、上記テスト信号とストローブ信号を形成するためのイベント発生ユニットと、そのイベント型テストシステムの全体的な実行を、テストプログラムにより制御するホストコンピュータと、により構成されている。

【図 3】



【特許請求の範囲】

【請求項 1】 テスト信号を被試験デバイスに供給し、その被試験デバイスの出力信号をストローブ信号のタイミングで検証することにより、被試験デバイスの評価をするためのテストシステムにおいて、基準クロック周期の整数倍データと基準クロック周期の端数データとで形成されるタイミングデータを格納するイベントメモリを有し、そのタイミングデータは予め定めた基準時点と現在のイベントとの間の時間差であり、上記タイミングデータを読み出すために、上記イベントメモリをアクセスするためのアドレスデータを発生するアドレスシーケンサと、上記基準クロックの上記整数倍だけ遅延したイベントスタート信号を発生するためのタイミング・カウント・ロジック部と、そのタイミング・カウント・ロジック部からのイベントスタート信号と上記イベントメモリからの端数データを基にして、各イベントを形成し、これにより上記テスト信号やストローブ信号を発生するためのイベント発生ユニットと、テストプログラムを介してイベント型テストシステムの全体動作を制御するホストコンピュータと、により構成されるイベント型テストシステム。

【請求項 2】 上記イベントメモリと上記タイミング・カウント・ロジック部との間に、上記イベントメモリからの圧縮されたイベントデータを復元するためのデコンプレッション・ユニットをさらに有する請求項 1 に記載のイベント型テストシステム。

【請求項 3】 上記タイミング・カウント・ロジックは、上記イベントメモリからのイベントデータをスケール・ファクタに比例した値に変更するためのスケール・ロジックを有する請求項 1 に記載のイベント型テストシステム。

【請求項 4】 上記被試験デバイスにテスト信号を供給してその被試験デバイスの出力信号をストローブ信号のタイミングで期待値と比較して得られた結果としての被試験デバイスのフェイル情報を格納するためのフェイルメモリをさらに有する請求項 1 に記載のイベント型テストシステム。

【請求項 5】 上記イベントメモリは、イベントの上記タイミングデータにおける上記整数部データを格納するためのイベント・カウント・メモリと、各イベントの上記タイミングデータにおける上記端数データを格納するためのバーニアメモリと、上記クロック・カウント・メモリとバーニアメモリに格納された上記タイミングデータに対応する各イベントのタイプを示すデータを格納するイベント・タイプ・メモリと、により構成される請求項 1 に記載のイベント型テストシステム。

【請求項 6】 上記タイミング・カウント・ロジック部は、基準クロック周期の整数倍の遅延時間を生成する為に、上記整数部データをプリセットしてそのプリセットした整数部データを上記基準クロックによりダウンカウントすることにより、上記基準クロックの整数倍の遅延時間を形成するためのダウンカウンタにより構成される請求項 1 に記載のイベント型テストシステム。

【請求項 7】 上記イベント発生ユニットは、上記イベントメモリからのイベント・タイプ・データに基づいて、タイミング・カウント・ロジック部からイベントスタート信号を選択的に供給するデマルチプレクサと、そのデマルチプレクサから上記イベントスタート信号を受け、上記イベントメモリからの端数データに規定された追加の遅延時間を付加するための複数の可変遅延回路と、少なくとも 2 つの上記可変遅延回路からの出力信号に基づいて、上記テスト信号を生成する手段と、少なくとも 1 つの上記可変遅延回路からの出力信号に基づいて、上記ストローブ信号を生成する手段と、により構成される請求項 1 に記載のイベント型テストシステム。

【請求項 8】 テスト信号を被試験デバイスに供給し、その被試験デバイスの出力信号をストローブ信号のタイミングで検証することにより、被試験デバイスの評価をするためのテストシステムにおいて、基準クロック周期の整数倍データと基準クロック周期の端数データとで形成されるタイミングデータを格納するイベントメモリを有し、そのタイミングデータは隣接する 2 つのイベント間の時間差であり、そのタイミングデータは、そのイベントメモリに圧縮された形式で格納されており、上記タイミングデータを読み出すために、上記イベントメモリをアクセスするためのアドレスデータを発生するアドレスシーケンサと、上記イベントメモリからの上記タイミングデータを再生するためのデコンプレッション・ユニットと、そのデコンプレッション・ユニットからのタイミングデータを加算して、直前のイベントから上記基準クロックの上記整数倍だけ遅延したイベントスタート信号とバーニアデータ合計値を発生するためのタイミング・カウント・ロジック部を有し、そのタイミング・カウント・ロジック部は、上記端数データの合計が上記クロック周期を超過するたびに、基準クロック周期の 1 個分の追加遅延を実施するための遅延手段を有しており、そのタイミング・カウント・ロジック部からのイベントスタート信号と上記バーニアデータ合計値を基にして、現在イベントを形成し、これにより上記テスト信号やストローブ信号を発生するためのイベント発生ユニットを有し、その現在イベントは、上記イベントスタート信号

に対して上記バーニアデータ合計値だけ遅延したタイミングで発生され、
テストプログラムを介してイベント型テストシステムの全体動作を制御するホストコンピュータと、
により構成されるイベント型テストシステム。

【請求項 9】 上記タイミング・カウント・ロジックは、上記イベントメモリからのイベントデータをスケール・ファクタに比例した値に変更するためのスケーリング・ロジックを有する請求項 8 に記載のイベント型テストシステム。

【請求項 10】 上記被試験デバイスにテスト信号を供給してその被試験デバイスの出力信号をストロブ信号のタイミングで期待値と比較して得られた結果としての被試験デバイスのフェイル情報を格納するためのフェイルメモリをさらに有する請求項 8 に記載のイベント型テストシステム。

【請求項 11】 上記イベントメモリは、イベントの上記タイミングデータにおける上記整数部データを格納するためのイベント・カウント・メモリと、各イベントの上記タイミングデータにおける上記端数データを格納するためのバーニアメモリと、
上記クロック・カウント・メモリとバーニアメモリに格納された上記タイミングデータに対応する各イベントのタイプを示すデータを格納するイベント・タイプ・メモリと、
により構成される請求項 8 に記載のイベント型テストシステム。

【請求項 12】 上記タイミングデータを加算するための上記タイミング・カウント・ロジック部は、
基準クロック周期の整数倍の遅延時間を生成する為の整数部データをプリセットし、そのプリセットした整数部データを基準クロックによりダウンカウントして、上記基準クロックの整数倍の遅延時間を形成するためのダウンカウンタと、
そのダウンカウンタからの遅延時間を 1 クロック周期の遅延時間を付加するためのフリップ・フロップと、
そのフリップフロップの出力と上記ダウンカウンタの出力とがそれぞれ与えられ、そのいずれかを選択的に取り出して、イベントスタート信号として生成するためのマルチプレクサと、
上記イベントメモリからの以前の各イベントの端数データに現在のイベントの端数データを加えるための加算部であって、その加算部により上記バーニアデータ合計値を生成し、端数部データを加算した結果その値が基準クロック周期を超過する場合には、加算部からキャリー信号を発生し、
上記マルチプレクサはその加算部からのキャリー信号を受信する毎に、基準クロックの 1 周期に等しい遅延時間を上記イベントスタート信号に追加する、
ように構成した請求項 8 に記載のイベント型テストシ

テム。

【請求項 13】 上記イベント発生ユニットは、
上記イベントメモリからのイベント・タイプ・データに基づいて、タイミング・カウント・ロジック部からイベントスタート信号を選択的に供給するマルチプレクサと、
そのマルチプレクサから上記イベントスタート信号を受け、そのイベントスタート信号に上記タイミング・カウント・ロジック部からの上記バーニアデータ合計値に規定された追加の遅延時間を付加するための複数の可変遅延回路と、
少なくとも 2 つの上記可変遅延回路からの出力信号に基づいて、上記テスト信号を生成する手段と、
少なくとも 1 つの上記可変遅延回路からの出力信号に基づいて、上記ストロブ信号を生成する手段と、
により構成される請求項 8 に記載のイベント型テストシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、被試験半導体部品にテストパターン信号を供給し、その結果としての被試験半導体部品の出力信号を評価する自動テスト装置に関する。特に本発明は、様々なタイミングのイベントをテストパターン信号やストロブ信号として使い、半導体デバイスをテストするイベント型半導体テストシステムに関し、そのイベントは、予め決められた時点からの時間差として規定されている。

【0002】

【従来の技術】IC や LSI 等の被試験半導体部品を、IC テスターのような半導体テストシステムによりテストするためには、被試験半導体部品の適切なピンに、テスト信号を、予め決められたタイミングで供給しなければならない。半導体テストシステムは、被試験半導体部品からテスト信号に対する応答として生成された出力信号を受け取る。その出力信号は、決められたタイミングを有するストロブ信号によってサンプルされ、期待値と比較されて、その被試験半導体部品に不良があるか否かが評価される。

【0003】第 1 図は従来の半導体テストシステムの概要を示したブロック図である。第 1 図の半導体テストシステムにおいて、パターン発生器 12 は、テストプロセッサ 11 からのデータを受け取る。これによりパターン発生器 12 は、波形フォーマッタ 14 に供給するテストパターンとパターン比較器 17 に供給する期待値パターンを発生する。タイミング発生器 13 は、全体的な動作を同期させるための、タイミング信号を生成する。第 1 図では、タイミング信号は、例えばパターン発生器 12、パターン比較器 17、波形フォーマッタ 14、そしてアナログ比較器 16 に供給されている。

【0004】更にタイミング発生器 13 は、テストサイ

クル（テストレート）パルスとタイミングデータ（タイミングを設定するデータ）を、波形フォーマット 14 に供給する。パターン（テストベクター）データは、“0”と“1”を、すなわちテスト信号波形の立ち上がりエッジと立ち下がりエッジを規定する。タイミングデータは、そのテスト信号波形の各立ち上がりエッジと立ち下がりエッジについて、テストサイクル・パルスに対するタイミング（遅延時間）を規定する。一般的に、タイミングデータは更に、RZ（リターンゼロ）波形、NRZ（ノンリターンゼロ）波形やEOR（イクスクルシブオア）波形等の波形情報を有している。

【0005】パターン発生器 12 のパターンデータと、タイミング発生器 13 からのテストサイクル・パルスとタイミングデータに基づいて、波形フォーマット 14 は、規定された波形とタイミングを有するテスト信号を形成する。波形フォーマット 14 は、ドライバ 15 を介してテスト信号を被試験デバイス（DUT）19 に送出する。波形フォーマット 14 は、図に示していないが、ドライバ 15 に供給するためのテスト信号を形成するためのセット・リセット・フリップフロップを有している。ドライバ 15 は、テスト信号の振幅、インピーダンス、およびスローレートを制御し、そのテスト信号を DUT 19 に供給する。

【0006】テスト信号に対する DUT 19 からの応答信号は、アナログ比較器 16 において、予め決められたストロブのタイミングにより、基準電圧と比較される。そして、その結果得られたロジック信号は、パターン比較器 17 に供給され、そこでアナログ比較器 16 からのロジックパターンと、パターン発生器 12 からの期待値パターンが比較される。パターン比較器 17 は、その 2 つのパターンが一致するかどうかを調べ、それにより DUT 19 のパス／フェイルを決定する。もし、不良が見つかった場合、そのような不良情報は、フェイルメモリ 18 に供給され、不良分析を行うために、パターン発生器からの DUT 19 の不良アドレス情報とともに記憶される。

【0007】第 1 図に示された従来の半導体テストシステムでは、被試験半導体部品に与えられるテスト信号は、3 種類のデータを基にして、サイクル毎に形成される。そのデータは、パターン（ベクター）データ、タイミングデータそしてウェーブフォーム（波形）データである。第 2 図は、テスト信号を発生するための、このような 3 種のデータとテストサイクルの関係例を波形表示 45 として示している。テストベクター・ファイル 41 からのパターンデータ（テストベクター）46 が、パターン発生器 12 を介して、波形フォーマット 14 に供給されている。またテストプラン・ファイル 42 からのタイミングデータ 47 は、タイミング発生器 13 を介して、波形フォーマット 14 に供給されている。パターンデータ 46 は、それぞれのテストサイクルにおけるエッ

ジの種類（1 か 0）を規定し、またタイミングデータ 47 は、波形とタイミング、すなわち、そのテストサイクルに対応する各エッジの遅延時間を規定する。

【0008】前述したように、従来の半導体テストシステムでは、それぞれのテストサイクルに対応するパターンデータ、タイミングデータ、そしてウェーブフォーム・データを基にしてテスト信号とストロブ信号が形成される。そのようなテストシステムは、サイクル型のテストシステムとも呼ばれ、タイミングデータとパターンデータは、各サイクルごとに、そのサイクルのクロックとの相対関係で記述されている。

【0009】LSI や VLSI 等の半導体部品をデザインする際に広く使用されているコンピューター・エディット・デザイン（CAD）では、ロジック・シミュレータは一般に、テスト信号やテスト結果をイベント形式で記述している。ここでイベントとは、テスト信号の立ち上がりや立ち下がりのような、ロジック状態の変化のことであり、基準時間点からの時間の長さに基づいて記述される。つまり、イベント形式によるテスト信号やテスト結果の記述方法は、従来のテストシステムにおけるテストサイクルの概念を使用していない。従って、従来のサイクル形式のテストシステムでは、被試験半導体部品の設計段階（デザイン・ステージ）において得られたテスト信号やテスト結果を、直接的に使用することができない。

【0010】

【発明が解決しようとする課題】従って、本発明の目的は、半導体部品を評価するにあたって、イベントメモリに格納されたイベントデータから、テスト信号とストロブ信号を直接的に作成することのできるイベント型半導体テストシステムを提供することにある。

【0011】また、本発明の他の目的は、それぞれのイベントのタイミングが、予め決められた共通の基準点からの時間の長さによって定義されたイベント型半導体テストシステムを提供することにある。

【0012】また、本発明の更に他の目的は、それぞれのイベントのタイミングが直前のイベントからの時間の長さによって規定されるイベント型半導体テストシステムを提供することにある。

【0013】また、本発明の更に他の目的は、イベントとイベントの間の時間の長さが、基準クロックサイクルの整数倍と基準クロックサイクルの端数分との組み合わせにより規定されるイベント型半導体テストシステムを提供することにある。

【0014】また、本発明の更に他の目的は、現在のイベントの遅延時間をスケール・ファクター（倍率変更係数）に比例して変更することにより、タイミングデータをスケールリングして、新たなタイミングによるイベントを形成することができるイベント型半導体テストシステムを提供することにある。

【0015】また、本発明の更に他の目的は、イベントメモリの容量を減少させるために、イベントメモリに記憶するイベントデータについて、データ圧縮技術とデータ復元技術を用いたイベント型半導体テストシステムを提供することにある。

【0016】また、本発明の更に他の目的は、被試験半導体部品の設計段階で、CADシステムによるテストベンチにより形成されたデータを、直接的に使用して、テスト信号とストロブ信号を形成することが可能なイベント型半導体テストシステムを提供することにある。

【0017】

【課題を解決するための手段】本発明は、被試験電子部品(DUT)をテストするにあたって、テスト信号をDUTに与え、そのDUTの出力をストロブ信号のタイミングを用いて評価するイベント型テストシステムである。このイベント型テストシステムは、基準クロック周期(ピリオド)の整数倍(インテグラル部データ)と基準クロック周期の端数部(フラクショナル部データ)データにより構成される各イベントのタイミングデータ(直前のイベントとの時間差または共通基準時点との時間差)を記憶するイベントメモリと、そのイベントメモリをアクセスしてタイミングデータを読み出すためのアドレスデータを作成するアドレスシーケンサと、基準クロックに上記インテグラル部データを乗算した時間だけ遅延したイベントスタート信号を形成するタイミング・カウンタ・ロジックと、そのタイミング・カウンタ・ロジックからのイベントスタート信号と、上記イベントメモリからの上記フラクショナル部データとに基づいて、上記テスト信号とストロブ信号を形成するためのイベント発生ユニットと、そのイベント型テストシステムの全体的な実行を、テストプログラムにより制御するホストコンピュータと、により構成されている。

【0018】本発明の他の態様においては、上記イベントメモリは、各イベントの上記タイミングデータのインテグラル部データを記憶するためのイベント・カウンタ・メモリと、各イベントのタイミングデータのフラクショナル部データを記憶するためのバーニアメモリと、そのイベント・カウンタ・メモリとバーニアメモリのタイミングデータに関する、それぞれのイベントの種類を表わすイベント・タイプ・データを記憶するためのイベントタイプ・メモリで構成されている。

【0019】本発明の更に他の態様においては、イベント型テストシステムは、上記イベントメモリと上記タイミング・カウンタ・ロジックとの間に、イベントメモリに圧縮して記憶されたイベントデータを復元するために用いるデコンプレッション・ユニットを有している。そしてタイミング・カウンタ・ロジックは、上記スケール・ファクターに基づいてイベントメモリのイベントデータを変更するためのスケーリング・ロジックを有している。

【0020】本発明の更に他の態様としては、イベント発生ユニットは、イベントメモリからのイベント・タイプ・データに基づいて、上記タイミング・カウンタ・ロジックからのイベントスタート信号を、選択的に供給するデマルチプレクサと、そのデマルチプレクサからのイベントスタート信号を受け、タイミング・カウンタ・ロジックからのバーニアサム・データに記述された追加の遅延時間を与えるための複数の可変遅延回路と、テスト信号の間に可変オフセット遅延を形成するための手段とにより構成される。

【0021】本発明によれば、イベント型半導体テストシステムは、被試験半導体部品を評価するにあたって、テスト信号とストロブを、イベントメモリからのイベントデータを基に作成することが可能である。各イベントのタイミングは、共通基準時点からの時間の長さか(絶対時間)、直前のイベントからの時間の相違(デルタ時間)によって規定される。テスト信号とストロブは、基準クロック周期の整数倍データと基準クロック周期の端数分データとの組み合わせにより記述されたタイミングデータによるイベント情報を用いて形成される。

【0022】

【発明の実施の形態】第3図は、本発明のイベント型テストシステムの構成例を示すブロック図である。このイベント型テストシステムは、ホストコンピュータ22とバスインタフェース23を含み、その双方が、システムバス24、インターナル(内部)バス25、アドレスシーケンサ28、フェイルメモリ27、イベントメモリ30、デコンプレッション・ユニット32、タイミング・カウンタ・スケーリング・ロジック33、イベント発生ユニット34、そしてピンエレクトロニクス36等に接続されている。イベント型テストシステムは、被試験半導体部品(DUT)38をテストするために用いるものであり、そのDUT38は、一般にメモリIC、マイクロプロセッサIC、またはASIC等であり、ピンエレクトロニクス36を経由して、イベント型テストシステムに接続される。

【0023】ホストコンピュータ22の1例は、ワークステーションである。ホストコンピュータ22は、ユーザー・インタフェースとしての機能を行い、これによりユーザーが、テストオペレーションの開始と終了を命令したり、テストプログラムや他のテスト条件をロードしたり、テスト結果の分析をホストコンピュータ内で実行することを可能としている。ホストコンピュータ22は、システムバス24とバス・インタフェース23を介して、ハードウェアとしてのテストシステムとインタフェースしている。図に示されていないが、ホストコンピュータ22は、他のテストシステムやコンピュータ・ネットワークからテスト情報を受信できるよう、通信ネットワークと接続されていることが好ましい。

【0024】インターナルバス25は、ハードウェア・

テストシステム内のバスであり、一般にアドレスシーケンサ28、フェイルメモリ27、デコンプレッション・ユニット32、タイミング・カウント・スケーリング・ロジック33、そしてイベント発生ユニット34等の各機能ブロックが接続されている。アドレスシーケンサ28の1例は、ハードウェア・テストシステムに専用であり、一般にユーザーがアクセスできないように構成されたテストプロセッサである。アドレスシーケンサ28は、ホストコンピュータ22からのテストプログラムやテスト条件に基づいて、テストシステム内の他の機能ブロックに、インストラクションを与える。フェイルメモリ27は、DUT（被試験デバイス）38のフェイル情報のようなテスト結果データを、アドレスシーケンサ28によって規定されたアドレスに記憶する。このようにフェイルメモリ27に記憶された情報は、被試験デバイスのフェイル分析の段階で使用される。

【0025】アドレスシーケンサ28のジョブの1つは、第3図に示されるように、アドレスデータをイベントメモリ30に供給することである。実際のテストシステムでは、複数のイベントメモリ30が、テストピン（テストチャンネル）に対応して設けられる。イベントメモリ30は、テスト信号とストロブ信号の各イベントのタイミングデータを記憶する。後で詳細に説明するが、イベントメモリ30は2つの異なる方法でイベントデータを記憶する。1つは基準クロックの1サイクルの整数倍データによるタイミングデータであり、もう1つは、基準クロックの1サイクルの端数分データのタイミングデータである。本発明では、それぞれのイベントのタイミングデータは、共通基準時点からの時間差（絶対時間）、あるいは直前のイベントからの時間差（デルタ時間）により表現される。

【0026】必要なメモリの容量を減少させるために、イベントメモリ30に格納されるタイミングデータは、コンプレッション（圧縮）することが好ましい。デコンプレッション・ユニット32は、イベントメモリ30から圧縮されたデータを受け、タイミングデータをデコンプレッションのプロセスにより復元する。

【0027】タイミング・カウント・スケーリング・ロジック33は、総合タイミングデータを作成するためのものであり、その総合タイミングデータにより、イベントメモリからのタイミングデータの端数部（フラクショナル）データに基づいて、現在のイベントを直接的に形成することができる。このような総合タイミングデータを形成する例としては、イベントスタート信号とそのイベントスタート信号からの遅延時間との組み合わせを用いる。1の態様において、そのような総合タイミングデータを形成する手順は、複数の端数（バーニア）データの加算をとまう。そのタイミングデータの加算のプロセス中、端数部データのキャリーオーバー動作（整数データへの桁上げ）が、タイミング・カウント・スケーリン

グ・ロジック32において行われている。更に別の態様においては、総合タイミングデータを形成するプロセスにおいて、そのような加算を使用しない。

【0028】タイミング・カウント・スケーリング・ロジック33は、更にスケール・ファクタ（倍率変更係数）に比例して、タイミングデータを変更する機能（スケーリング）を有する。このようなタイミングデータのスケール動作は、タイミングデータをスケール・ファクタでかけ算することによって実行される。例えば、システム（基準）クロックの“1.5”であるタイミングデータを、スケーリング・ファクタ“2”によりスケールする場合、その結果としてのタイミングデータは、システムクロックの $1.5 \times 2 = 3.0$ となる。一般に、上記のようにイベントカウントとイベントバーニアにより定義されるタイミングデータでは、このかけ算は、（イベント・カウント＋イベントバーニア） \times （スケール・ファクター）＝スケールされた遅延、としてあらわすことができる。

【0029】前述した加算やスケール動作は、ソフトウェアによって行うことができる。しかし、遅延時間の大きなデータベースを変換するために必要な時間と、このデータをイベント型テスターにロードする時間は多大となる可能性がある。したがって、直接的にハードウェアによる高速な加算とスケール動作を実行することが好ましい。本発明のイベント型テストシステムにおいて、各種のスケール技術が使用可能である。

【0030】イベント発生ユニット34は、タイミング・カウント・スケーリング・ロジック33からの総合タイミングデータを基に、実際にイベントを発生する。そのように発生されたイベント（テスト信号とストロブ信号の立ち上がり、立ち下がり点）は、ピンエレクトロニクス36を介して、DUT38に印加される。基本的にピンエレクトロニクス36は、半導体テストシステムと被試験半導体デバイス間をインタフェースするための、多数のインタフェース回路を有している。例えば、それぞれのインタフェース回路は、第1図に示すように、ドライバとコンパレータで構成されており、かつドライバ、コンパレータ、そしてDUT38の間で、入力・出力関係を確立するためのスイッチを搭載している。

【0031】第4図は、半導体集積回路の設計段階と試験段階の総合的な関係を示した概念図である。この例では、電子自動設計環境（EDA）51において、超LSI例えば、システムオンチップ（SoC）53を設計した場合を示している。

【0032】EDA環境51における、半導体集積回路53の設計により、その集積回路53の設計データファイル55と試験データファイル63が得られる。設計データは各種のデータ変換等を経て、物理的な半導体のゲート単位のデータとされ、半導体集積回路の製造プロセ

ス（シリコンプロセス）56により、現実の集積回路59が製造される。

【0033】このようにして製造された集積回路は、被試験ICデバイスとして試験装置60に与えられる。設計段階で得られた試験データを用いて、テストベンチ64等による論理シミュレーションを実行することにより、集積回路の入出力間の関係を示すデータファイル65が得られる。このようなデータファイルを、デバイス論理シミュレータのダンプファイルと称することがあり、その典型的な例としては、VerilogのVCD (Value Change Dump) がある。

【0034】テストシステムがサイクル形式で構成されている場合は、イベント形式で記載されているVCDファイル65を、サイクル形式の試験信号に変換するために、変換ソフトウェア67によりデータ形式の変換が行われる。これにより、サイクル形式としての試験パターンが集積回路試験装置60内のファイル68に蓄積される。ハードウェアとしてのテスト69は、この試験パターンを用いて被試験デバイス59の機能等を試験する。本発明のイベント型テストシステムの場合は、イベント形式で形成されたVCDファイル65のデータを、直接的にイベントデータとしてイベントメモリ30に用いることができる。

【0035】イベントデータを基にして、イベントを形成するための動作例を第5図(A)～第5図(K)に示す。第6図は、絶対時間、すなわち共通時点基準として記述された、イベントメモリ30からのタイミングデータを基にして、イベントスタート信号とバーニアデータを形成するためのタイミング・カウント・スケール・ロジック33の構成例を示す回路図である。第7図は、デルタ時間、すなわち直前のイベントを基準として記述された、イベントメモリ30からのタイミングデータを基にして、イベントスタート信号とバーニアデータを形成するための、タイミング・カウント・スケール・ロジック33の他の構成例を示した回路図である。第6図の回路例では、加算機能を有しないのに対し、第7図の回路例では、バーニアデータの加算機能とキャリー信号を発生する機能を有している。ここでは、説明を容易にするために、第6図および第7図の回路構成例では、スケール・ロジックの回路図を示していない。

【0036】第6図および第7図において、アドレスシーケンサ28は、イベントメモリ30に、アドレスデータを供給する。前述したように、アドレスシーケンサ28は、マイクロプロセッサを有するテストプロセッサでもよい。しかし、最も単純な形態としては、アドレスシーケンサ28は、アドレスカウンタである。アドレスカウンタは、例えばゼロのカウンタから開始して、所定の停止アドレスに至るまでの間を、1ずつ順にインクリメントする。アドレスのビット幅は、使用するイベントメモリの深さによって左右されるが、実際の応用で

は、最低16ビット必要である。

【0037】第6図の例では、イベントメモリ30は、クロックカウンタRAM（イベント・カウント・メモリあるいはクロック・カウント・メモリとも称する）71、バーニアRAM（バーニアメモリあるいはバーニアデータメモリとも称する）72、およびイベントタイプRAM73により構成している。クロックカウンタRAM71は、タイミングデータのインテグラル（整数）部分、つまり基準クロック周期の整数倍のデータを記憶する。バーニアRAM72は、タイミングデータのバーニア（端数）部分、つまり基準クロック周期の端数データを記憶する。イベントタイプRAM73は、イベントのタイプを選択するためのデータを記憶している。イベントタイプとは、テスター出力ピン（テスト信号）から送出する信号の設定を、ロジック“1”、ロジック“0”あるいは“高いインピーダンス”のように選択するものであり、またストロブ信号のタイミングにより、DUT38からの応答信号をラッチするための設定を選択するものである。

【0038】第6図のタイミング・カウント・スケール・ロジックにより、第5図(I)～第5図(K)のイベントを発生するために、イベントメモリ30に記憶するデータ例を第10図(A)のデータテーブルに示す。前述したように、タイミングメモリ30に格納されるタイミングデータは、共通基準時点に対する、各イベントのタイミング（時間差）を記述している。すなわち、そのタイミングデータは、対象とするイベントが、予め定められた基準点からどの時間長だけ離れているかの絶対時間を示している。従って、第6図のタイミング・カウント・スケール・ロジックは、加算機能を有していない。

【0039】第5図(A)～第5図(K)の例では、第5図(I)に示されるように、イベント1のタイミングは、基準（開始）点から1（3/16）ナノセカンドである。この場合のイベント1のクロックカウンタRAM71のタイミングデータは“1”であり、バーニアRAM72の端数データは3/16である。またイベント2のタイミングは、第5図(J)に示されるように、基準点から2（10/16）ナノセカンド離れている。従って、クロックカウンタRAM71のタイミングデータは“2”であり、バーニアRAM72の端数データは10/16である。さらに第5図(K)に示されるように、イベント3のタイミングは、基準点から4（2/16）ナノセカンド離れているので、クロックカウンタRAM71のタイミングデータは“4”であり、バーニアRAM72の端数データは2/16となる。

【0040】クロックカウンタRAM71のデータ（インテグラル部）は、対応するイベントを実行する前に待つ基準（システム）クロックカウンタ数の整数値を示しており、イベントスタート信号のタイミングを決定す

る。バーニアRAM72では、バーニア部に割り当てられたビット数により、基準クロックの端数分の数を示しており、イベントスタート信号の後に付加する遅延時間を決定し、そのタイミングにより目的とするイベントを形成する。上記の例では、基準クロックの各サイクルについての端数ユニットの総数は"16"であり、したがって端数部データの最小値は、クロックサイクルの16分の1である。

【0041】イベントメモリからのイベントデータは、第6図に示してある、タイミング・カウント・スケール10 ロジックに与えられる。第6図の回路構成例では、基準クロックパルス(第5図(A))の数をカウントダウンするためのダウンカウンタ75のみしか有していない。クロックカウントRAM71からのデータが、ダウンカウンタ75をプリセットし、これにより、ダウンカウンタ75は基準クロックを計数し、プリセットしたデータがゼロになると、ターミナルカウント(イベントスタート信号)を発生する。バーニアRAM72からのバーニアデータとイベントタイプRAM73からのイベントタイプデータは、イベント発生ユニットに供給さ10 れる。

【0042】従って、第5図(A)～第5図(K)の例において、第5図(B)に示されるイベントスタート信号と第5図(C)に示される端数時間差をあらわすバーニアデータは、イベント発生ユニット34に供給され、第5図(I)に示すイベント1が発生される。次に、基準クロックパルスを2個計数すると、第5図(D)に示すイベントスタート信号が発生され、第5図(E)に示す端数時間差10/16をあらわすバーニアデータと共に、イベント発生ユニット34に供給され、その結果、第5図(J)のイベント2が発生される。第5図(G)のイベントスタート信号は、4個めの基準クロックパルスを計数したときに発生され、第5図(H)の端数時間差2/16をあらわすバーニアデータと共に、イベント発生ユニット34に供給され、その結果、第5図(K)のイベント3が発生される。30

【0043】第7図の構成例では、対象とする各イベントの直前のイベントからの時間の差異(デルタ時間)をあらわすイベントデータを処理するために用いる加算機能を有している。この場合、イベントメモリ30に格納された現イベントのタイミングデータは、直前イベントからの遅延時間として記述されている。従って、第10図(B)に示すように、第5図(I)のイベント1では、クロックカウントRAM71のタイミングデータは"1"であり、バーニアRAM72の端数データは3/16となっている。同様にしてイベント2のタイミングは、第5図(J)に示されるよう、イベント1から1(7/16)ナノ秒の時間差になっている。従って、クロックカウントRAMのタイミングデータは"1"であり、バーニアRAM72の端数データは7/1 50

6となっている(第10図(B))。さらに第5図(K)に示されるよう、イベント3のタイミングはイベント2から1(8/16)ナノ秒の時間差になっている。したがって、クロックカウントRAM71のタイミングデータは"1"であり、バーニアRAM72の端数データは8/16となっている(第10図(B))。

【0044】クロックカウントRAM71のデータ(インテグラル部)は、対象とするイベントを実行する前に、待つべき基準(システム)クロック数を示している。バーニアRAM72のデータ(フラクショナル部)は、インテグラル部についてのクロック計数が終了した(イベントスタート信号が発生)後、目的とするイベントを発生する前に、待つべきバーニア(端数)ユニットの数を示している。バーニア部に割り当てられたビット数が、各クロックに対する端数ユニットの数を規定している。上記の例では、基準クロックの各サイクルについての端数ユニット数は"16"であり、したがって端数部データの最小値は、クロックサイクルの16分の1である。

【0045】第10図(B)のバーニアサム(端数合計値)は、前イベントの端数(バーニア)データと現イベントの端数データを加算した値を示している。例えば、イベント2のバーニアサムは、"10/16"、つまりイベント1のバーニアカウント(バーニアデータ)"3/16"とイベント2のバーニアカウント"7/16"を加算した値である。イベント3のバーニアサムは、イベント1のバーニアカウント"3/16"と、イベント2のバーニアカウント"7/16"と、イベント3のバーニアカウント"8/16"を加算した"18/16"である。この加算動作の結果、イベント3のバーニアサムとして"2/16"が設定され、クロックカウント(整数値データ)に1が加算される。

【0046】第5図の開始(基準)点"0"に対する各イベントの合計タイミングが、第10図(B)の右の欄に示されている。このような合計時間は、タイミングデータのインテグラル(整数)部とタイミングデータのフラクショナル(端数)部を加算することによって得られる。端数部のデータを加算した値が、基準クロックの単位時間周期を越えたときは、整数部データがそれに応じて増加される。イベント1の合計時間は基準点から1(3/16)ナノ秒離れている。イベント2の合計時間は、基準点から2(10/16)ナノ秒離れており、イベント3の合計時間は基準点から4(2/16)ナノ秒離れている。従って、イベント1からイベント3についての各イベントスタート信号とバーニアサムは、第6図について述べたのと同様に、イベント発生ユニット34に供給される。

【0047】第7図のタイミング・カウント・スケール10 ロジック33は、ダウンカウンタ75、ラッチ7

6、フリップフロップ77、マルチプレクサ78と加算器79を有している。ダウンカウンタ75は、クロックカウントRAM71から、タイミングデータのインテグラル部のデータを受け取る。加算器79は、バーニアRAM72から、タイミングデータの端数部データを受け取る。

【0048】例えば、クロックカウントRAM71からのインテグラル部データは、ダウンカウンタ75にプリセットされ、基準クロックCLKによってそのプリセットされた値がカウントダウンされる。ダウンカウンタ75の計数値が0になったとき、出力信号（ターミナルカウント）が発生され、マルチプレクサ78の1つの入力端子に供給される。マルチプレクサ78の他の入力端子には、ダウンカウンタ75の出力信号を、基準クロックの1サイクル分遅れて発生するフリップフロップ77の出力が供給されている。従って、マルチプレクサ78は、クロックカウントRAM71からのインテグラル部データに、クロックの整数倍の遅延を追加する。マルチプレクサ78の出力は、イベントスタート、つまり基準クロックカウント値の数となる。イベントスタート信号は、イベント発生ユニット34に供給されるとともに、アドレスシーケンサ28にも供給される。

【0049】バーニアRAM72からのフラクショナル部データは、加算器79の入力端子の1つに供給される。加算器79の他の入力端子には、ラッチ76を通して、以前のイベントのバーニアデータが供給される。従って、加算器79は、バーニアRAM72からの全てのフラクショナル部データを加算する。第5図および第10図(A)におけるイベント3で示したように、フラクショナル部データの合計が、 $16/16$ のような、1クロックカウント越えと、キャリーディレイが発生されて、マルチプレクサ78に送られる。キャリーディレイを受け取ると、マルチプレクサ78は、フリップフロップ79の出力を選択して、イベントスタート信号を1基準クロック周期分だけ遅らせる。第10図(B)の例では、イベント3の端数データの合計は $18/16$ なので、マルチプレクサ78にキャリーディレイが供給され、イベントスタート信号に1クロック分の遅延が追加される。残りの $2/16$ は、加算器79の出力から、バーニアサムとして形成される。

【0050】前述を基にして、第7図の回路構成により、第5図(I)～第5図(K)のイベント1～3を発生するプロセスは次のようになる。イベント1のインテグラル部データは 1 なので、ダウンカウンタ75は、第5図(A)の基準クロックのパルスを1個数えることにより、第5図(B)の出力パルス（ターミナルカウント）を発生する。第5図(B)のターミナルカウントは、マルチプレクサ78の出力から、イベントスタート信号として発生される。第5図(C)は、加算器79の出力におけるバーニアサム・データであり、イベン

ト発生ユニット34により、イベントスタート信号に追加する遅延時間を示している。以上により、第5図

(I)のイベント1が、イベント発生ユニットにより形成される。

【0051】イベント2のインテグラル部データも 1 なので、ダウンカウンタ75は、基準クロックのパルスを1個計数することによってターミナルカウントを発生する。ダウンカウンタ75のターミナルカウント

は、第5図(B)に示す前のターミナルカウントから1サイクル後に発生され、第5図(D)に示すように、イベントスタート信号をマルチプレクサ78の出力で発生する。第5図(E)のデータは、イベント発生ユニット34において、第5図(D)に示すイベントスタート信号に、追加して遅延すべきバーニアサムとして与えられる、加算器79の出力を示している。イベント1の端数データは $3/16$ であり、イベント2の端数データは $7/16$ であるため、第5図(E)のadder79の出力におけるバーニアサムは、 $10/16$ となる。このバーニアサムは、第5図(D)のイベントスタートに追加され、第5図(J)に示すイベント2を形成する。

【0052】イベント3のインテグラル部データも 1 なので、ダウンカウンタ75は、基準クロックパルスを1個計数することにより、出力パルス（ターミナルカウント）を発生する。ダウンカウンタ75のターミナルカウントは、マルチプレクサ78に送られる。このタイミングは第5図(F)に示されるよう、基準点から、3基準クロックカウント遅れている。しかし、イベント3の端数データ $8/16$ に以前のイベントの端数データの加算値であるバーニアサム $10/16$ が加算器79によって追加されるため、イベント3の端数データの合計は $18/16$ となる。従って、第5図

(G)に示すように、イベントスタート信号に、1クロック分の追加の遅延を行うように、マルチプレクサ78がフリップフロップ77の出力を選択するためのキャリーがマルチプレクサ78に供給される。残りの端数データ $2/16$ は、第5図(H)に示すように、バーニアサムとして、加算器79から出力され。従って、第5図(K)のイベント3は、第5図(H)のバーニアサムと第5図(G)のイベントスタートの各タイミングを加算することにより、イベント発生ユニット34により形成される。

【0053】イベント発生ユニット34の回路構成例を、第8図の回路図に示す。簡単に前述したように、第8図のイベント発生ユニット34は、テスト信号やストローブ信号を、第6図や第7図のタイミング・カウント・スケール・ロジックから供給されるイベントスタート信号とバーニアサムに基づいて生成するものである。

【0054】第8図の回路図において、イベント発生ユ

ニット 34 は、デマルチプレクサ 82、コンパレータ (比較器) 83、可変遅延回路 85-87、OR ゲート 88、SR フリップフロップ 91-92、ビンドライバ 93、可変遅延回路 95-97、フリップフロップ 102-104、OR 回路 105、フリップフロップ 106 により構成されている。可変遅延回路 85-87 と可変遅延回路 95-97 は、イベントプロセッサ (図になし) により構成し、第 6 図または第 7 図の回路構成からのバーニアサムにより、キャリプレート (校正) された遅延時間を選択するように実現してもよい。説明の便宜のため、ビンドライバ 93 とコンパレータ 83 が、第 8 図の構成に含まれているが、これらの部分は実際の応用においては、むしろ第 3 図のピンエレクトロニクス 36 に含まれる。

【0055】ビンドライバ 93 の出力は、対象とする被試験デバイス (DUT) ピンが入力ピンであるときに、その DUT ピンにテスト信号を供給するためのものである。ビンドライバ 93 により、テスト信号の所望の振幅とスルーレートが形成される。コンパレータ 83 は、対象とする DUT ピンが出力ピンであるときに、DUT の応答出力を受信する。コンパレータ 83 は、受信した DUT 出力のアナログレベルを基準電圧と比較し、その出力値が所定の電圧範囲内であるかを評価するためのアナログ比較機能を果たす。そのような電圧範囲としては、第 8 図に示すように、“ハイレベル”、“ローレベル”、“および”ハイインピーダンス Z”である。この例では、同一時間においては、そのうちの 1 つの電圧範囲のみがアクティブとなる。

【0056】デマルチプレクサ 82 は、第 6 図または第 7 図のタイミング・カウント・スケーリング・ロジックから、イベントスタート信号を受信し、イベントメモリ 30 のイベントタイプ RAM 73 から、イベントタイプについてのデータを受信する。イベントタイプデータが、デマルチプレクサ 82 の選択ターミナルに供給される。従って、イベントスタート信号は、イベントタイプデータに規定された可変遅延回路を有するイベントプロセッサに供給される。

【0057】例えばイベントタイプデータが、現在のイベント (イベント 1) について“ドライブ DUT ピンハイ”を示す場合は、イベントスタート信号は可変遅延回路 85 に送られ、そこでバーニアサム (端数部合計) データの定める時間だけ遅延される。従って、可変遅延回路 85 の出力 (例えば第 5 図 (I) に示すイベント 1) が、SR フリップフロップ 91 をセットする。これにより、ビンドライバ 93 が、これに接続されている DUT ピンをロジック 1 に設定する。

【0058】例えばイベントタイプデータが、現在のイベント (イベント 2) について“ドライブ DUT ピンロー”と規定する場合には、イベントスタート信号は、可変遅延回路 86 に送信され、ここでバーニアサム (端数

合計) データに規定する時間だけ遅延される。したがって可変遅延回路 86 の出力 (第 5 図 (J) に示すイベント 2) は、SR フリップフロップ 91 をリセットする。その結果、ビンドライバ 93 が、これに接続されている DUT ピンをロジックゼロに設定する。

【0059】イベントタイプデータが、現在のイベントについて“ターンオフドライブ DUT”と規定している場合は、イベントスタート信号は、可変遅延回路 87 に送信され、そこでバーニアサム (端数合計) データの定める時間だけ遅延される。従って、可変遅延回路 87 の出力により、SR フリップフロップ 92 がリセットされる。これにより、コンパレータ 83 が DUT ピンの出力を受け取るために、DUT ピンに接続されたビンドライバ 93 を高インピーダンス状態にする。

【0060】ビンドライバ 93 が、DUT ピンからの出力信号をコンパレータ 83 が受け取ることができるように、高インピーダンスモードにある場合には、イベントは一般に、コンパレータ出力のロジックをラッチするためのストロブ信号を生成するために使用される。例えば、イベントタイプデータが、現在のイベントについて“テスト DUT ハイインピーダンス”と規定する場合は、イベントスタート信号は、可変遅延回路 95 に送信され、そこでバーニアサム (端数合計) データの定める時間だけ遅延される。DUT ピンの電圧レベルは、コンパレータ 83 により、あらかじめ設定された高インピーダンス電圧レベルと比較される。もし DUT ピンの電圧レベルが、最小限の高インピーダンス電圧レベルに到達していない場合は、その結果としてのコンパレータ 83 の出力は、可変遅延回路 95 からのストロブ信号 (イベント 3) により、フリップフロップ 102 にラッチされる。このラッチされたデータは、DUT のフェイル (不良) を示し、OR 回路 105 とフリップフロップ 106 を介して、“エラー”としてクロックに同期して出力される。

【0061】またイベントタイプデータが、現在のイベントについて“テスト DUT ロー”と規定する場合は、イベントスタート信号は、可変遅延回路 96 に送信され、そこでバーニアサム (端数合計) データの定める時間だけ遅延される。DUT ピンの電圧レベルは、コンパレータ 83 により、あらかじめ設定された低電圧レベルと比較される。もし DUT ピンの電圧レベルが、必要限度の低電圧レベルに達していない場合は、その結果としてのコンパレータ 83 の出力は、可変遅延回路 96 からのストロブ信号のタイミングで、フリップフロップ 103 にラッチされる。このラッチされたデータは、DUT のフェイル (不良) を示し、OR 回路 105 とフリップフロップ 106 を介して、“エラー”としてクロックに同期して出力される。

【0062】さらにイベントタイプデータが、現在のイベントについて“テスト DUT ハイ”と規定する場合

は、イベントスタート信号は可変遅延回路 97 に送信され、そこでバーニアサム（端数合計）データの定める時間だけ遅延される。DUT ピンの電圧レベルは、コンパレータ 83 により、あらかじめ設定された高電圧レベルと比較される。もし DUT ピンの電圧レベルが、必要限度の高電圧レベルに達していない場合は、その結果としてのコンパレータ 83 の出力は、可変遅延回路 97 からストロブ信号のタイミングで、フリップフロップ 104 にラッチされる。このラッチされたデータは、DUT のフェイル（不良）を示し、OR 回路 105 とフリップフロップ 106 を介して“エラー”としてクロック同期して出力される。

【0063】第 9 図は、イベントデータを複数のピンにローディングするための、本発明のイベント型テストシステムのシステム構成例を示した概念図である。ピンカード 115₁、115₂ は、それぞれピンバス 113 を介して相互に接続しており、ピンバスコントローラ 112 によって個別にアドレスされる。ピンバスコントローラ 112 は、テストコントローラのソフトウェアを走らせているホストコンピュータ 111 に接続されている。ピンバスコントローラ 112 は、テストの開始、停止、テスト結果の送出、イベントデータのローディング、グローバルピンバス信号を介したピンの配列等のサービスを行う。この構造により“N”ピンのテストシステムを実現できる。

【0064】第 11 図～第 13 図は、本発明のイベント型テストシステムに搭載されているコンプレッション（圧縮）、デコンプレッション（復元）技術に関する。この技術については、本発明の出願人により、より詳細な開示が、米国特許出願番号 09/259402 にされている。第 11 図はタイミングデータで規定された各種のイベント T0-T10 を示したタイミングチャートである。そのタイミングデータは、クロックカウンタデータとバーニアデータの組み合わせにより構成されている。前述したように、クロックカウンタデータは、対象とするイベントについて、基準クロック周期の整数倍のデータを示しており、バーニアデータは、そのイベントについて、基準クロック周期の端数データを示している。

【0065】第 12 図 (A) は、第 11 図のイベント T0-T10 を規定するために、イベントメモリに格納されるタイミングデータであり、圧縮技術を用いない場合のタイミングデータである。第 6 図と第 7 図に示したように、イベントメモリはクロック・カウンタ・メモリ 71（上記イベント・カウンタ・メモリあるいはクロックカウンタ RAM と同義）とバーニアメモリ 72 に分けられる。クロック・カウンタ・メモリ 71 のデータは、基準クロック周期の整数倍の値であり、0-N までのどのような整数値でもよい。N はイベント型テストシステムがサポートできる基準クロック周期数の最高値である。

【0066】例えば、本出願人により設計されたイベント型テストシステムのクロックカウンタメモリ 71 は、134、217、728 クロック周期をサポートする。これにはイベント・カウンタ・メモリの各記憶領域に 27 データビットが必要である。従って、この場合のイベント・カウンタ・メモリの合計サイズは、27 ビットの M 倍（M はテストシステムのベクター：テストパターンの長さ）の数となる。

【0067】前述したように、バーニアメモリは、基準クロック周期の端数値による微少遅延時間（タイミング）データを記憶している。従って、バーニアデータは、1 基準クロック周期よりもその値は小さい。テストシステムがサポートする微少遅延時間により、バーニアメモリの幅は、基準クロックの 1 周期を充分カバーするほどの大きさがなければならない。例えば、基準クロック周期が 32 ナノ秒の場合、0.2 ナノ秒のタイミング精度をサポートするテストシステムでは、バーニアメモリは、8 ビットなくてはならない。上記の第 12 図 (A) の例では、バーニアメモリ 72 は、10 ビットのデータ幅を有している。従ってメモリサイズ全体としては、10 ビットの M 倍となる。

【0068】テストベクターのサイズは数メガバイトや数十メガバイト等と大きいため、タイミングデータを第 12 図 (A) のようにイベントメモリに記憶される方法では、イベントメモリの全体のサイズがかなり大きくなる。例えば、イベント列 T0-T10 のクロックカウンタデータを示すのに使用するビット数は 297、イベント列 T0-T10 のバーニアデータに使用するビット数は 110、つまり合計で 407 ビットである。

【0069】従って、本発明のイベント型テストシステムは、必要なイベントメモリの容量を減少させる圧縮・復元（コンプレッション・デコンプレッション）技術を搭載している。第 12 図 (B) は、第 11 図のイベント列 T0-T10 を、圧縮されたタイミングデータによりあらわす例を示したデータテーブルである。この方法では、イベント列 T0-T10 に使用されたクロックカウンタデータのビット数は 88、バーニアデータに使用されたビット数は 110、結果として合計 198 ビットとなり、第 12 図 (A) の 407 ビットと大きく異なる。この例では、クロックカウンタデータは、ワード（8 ビット）単位であらわされ、必要な基準クロック数によって、4 ワード（32 ビット）まで用いられる。各ワードの構成等の詳細については、上記の米国特許出願番号 09/259,402 に示されている。

【0070】第 11 図および第 12 図の例では、イベント T0 のクロックカウンタデータは 1 ワードで、イベント T1 は 2 ワードで、イベント T2 は 3 ワードで、イベント T4 は 4 ワードで、そしてイベント T7 は 1 ワードで、それぞれ表現できると想定している。更に、第 11 図の各イベント T3、T5、T6、T8、T9 そして T

10の時間差は、基準クロック周期よりも小さいと想定している。従って、クロックカウントデータを示すために必要な最小限のワード数を割り当てることにより、クロック・カウント・メモリの容量を全体として減少することができる。更に、1基準クロック周期よりも小さな時間差のイベントでは、クロックカウントデータは0である。つまりこのようなイベントには、メモリ領域を割り当てないことで、またこれらのイベントの各バーニアデータを、バーニアメモリ72内1のバーニアデータ領域で結合させることで、クロック・カウント・メモリ71のメモリ容量を減少させることができる。

【0071】第12図(B)の例では、バーニアメモリ72は、各クロックカウントメモリ位置に対応して4個のバーニアデータを記憶している。従って、バーニアメモリ72は、40ビットの幅を有している。この方法は、テストベクターが、1基準クロック周期よりも小さな時間差のイベントを多数有するときに有効である。更に、2つ以上のイベントのバーニアデータを結合することにより、テストシステムの動作をシステムクロック周波数よりも早い周波数で動作させることができる。これは、イベントメモリをアクセスする毎(クロック周期)に、2以上のイベントのバーニアデータを同時に取り出すことが可能だからである。イベントカウントデータの最初の1ワードが、そのイベント数を表示するので、現イベントに対応する正しいバーニアデータを特定することができる。

【0072】デコンプレッション(復元)ユニット32の回路構成例を第13図に示す。デコンプレッション・ユニット32は、本発明の圧縮テクノロジーによって圧縮された、イベントメモリからのタイミングデータを再生するものである。この例では、全ての圧縮および再生のプロセスは、システムソフトウェアにより行われる。デコンプレッション・ユニット32の簡単な説明を以下におこなう。より詳細な説明は上記の米国特許出願番号09/259,402に開示されている。

【0073】第13図のデコンプレッション・ユニット32は、クロックカウント・ステートマシン121、ロード/ダウカウンタ122、バーニアコントロール・ステートマシン123、および格納・選択回路126を有している。この例では格納・選択回路126は、レジスタ131-134とマルチプレクサ135-137を有している。

【0074】クロック・カウント・メモリ71からのクロックカウントデータは、クロックカウント・ステートマシン121とロード/ダウカウンタ122に供給されている。第11図-第12図を参照して示したように、好ましい実施例では、クロック・カウント・メモリ71からのクロックカウントデータは、1、2、3または4データワードで構成され、それぞれのデータワードは8ビット、すなわちバイトの構造をしている。バーニ

アメモリ72からのバーニアデータは、格納・選択回路126のレジスタ131と132に供給されている。前記したように、好ましい実施例では、4個までのバーニアデータを記述するために、バーニアデータは40ビットで構成されている。

【0075】クロックカウントデータを受け取ると、クロックカウント・ステートマシン121は、クロックカウントデータの最上位ビットをサンプルする(調べる)ことにより、各イベントのデータバイトの数を判断する。その判断に基づいて、クロックカウント・ステートマシン121は、クロック・カウント・メモリ71からのデータバイトを、ロード/ダウカウンタ122の正規の位置にロードする。上述したように、各データワードは8ビットで構成されており、データワード内での割り当てられたデータビットは、第1ワードと第2から第4ワードでは異なっている。再生されたイベントカウントデータは、タイミング・カウント・スケーリング・ロジック33に送られる。

【0076】格納・選択回路126は、バーニアデータメモリ71からバーニアデータを受け取る。上述した第12図(B)のテーブルの例では、バーニアメモリ72のそれぞれのメモリ位置は、4個のバーニアデータ用として40ビットで構成されている。バーニアメモリ72からのバーニアデータは、交互にレジスタ131とレジスタ132のどちらかにセットされる。このようなインターリーブ動作により、バーニアメモリ72のアクセススピードが遅くても、タイミング・カウント・スケーリング・ロジック33により、十分なデータ量が処理されることを可能にする。

【0077】レジスタ131とレジスタ133は、マルチプレクサ135が正しいバーニアデータをシリアル方式でマルチプレクサ137に送出できるように、指定したバーニアデータを並列にマルチプレクサ135に送信する。同様に、レジスタ132とレジスタ134は、マルチプレクサ136が正しいバーニアデータを、シリアル方式でマルチプレクサ137に送信できるように、指定したバーニアデータを、並列にマルチプレクサ136に送信する。このようなレジスタ131-134とマルチプレクサ135-137における、バーニアデータを選択する作業は、バーニアコントロール・ステートマシン123の制御の下で行われる。選択されたバーニアデータは、イベント・カウント・スケーリング・ロジックに送出される。

【0078】第14図-第15図は、本発明に搭載されたスケーリング技術に関するものである。スケーリング技術についてのより詳細な説明は、本発明と同じ出願人による米国特許出願番号09/286,226にされている。第14図はイベント・カウント・スケーリング・ロジック33のスケーリング・ロジック部の基本構成例を示した概念図である。スケーリングの目的は、イベン

トメモリのタイミングデータを変更することなく、スケール・ファクターに比例してタイミングデータを拡大または縮小することである。

【0079】第14図の基本的な構造は、イベント・サミング・ロジック142とイベント・ディレイ・スケール・ロジック146を有している。基本的に、イベント・サミング・ロジック142は、第7図の回路図に示した複数のイベントのバーニアデータを加算するものであり、第7図の回路構成に該当する。イベント・サミング・ロジック142は、イベント・カウント・ディレイ143とイベント・バーニア・ディレイ144を有している。イベント・カウント・ディレイ143は、基本的にダウンカウンタであり、ダウンカウンタにプリセットされたイベントカウントデータが、基準クロックでダウンカウントすることによりゼロになったとき、ターミナルカウントパルスが発生する。イベント・バーニア・ディレイ144は、例えば、バーニアデータを累積するアキュミレータであり、その累積による合計が1基準クロックサイクルを越えたとき、キャリー信号が発生し、イベント・カウント・ディレイに1基準クロックを追加する。イベント・カウント・ディレイ143からのターミナルカウント信号とバーニアディレイ144からのバーニアサム（残り）は、イベント・ディレイ・スケール・ロジック146に供給される。

【0080】そのサミングの結果としてのインテグラル（整数部）遅延データは、イベント・カウント・ディレイ・ロジック143から、マルチプライヤー148に与えられる。インテグラル遅延データは、マルチプライヤー148において、スケール・ファクター（倍率変更係数）と乗算される。またサミングの結果としてバーニア遅延データは、イベント・バーニア・ディレイ・ロジック144からマルチプライヤー149に与えられる。バーニア遅延データは、マルチプライヤー149において、スケール・ファクターと乗算される。このようにしてスケールされたマルチプライヤー148および149からのデータは、加算器147によって加算される。バーニアデータのスケール・ファクターにより生じた整数データは、加算器147によってインテグラル遅延データに追加される。そして、加算器147の出力から、インテグラル部遅延データとフラクショナル（端数部）遅延データが、イベント発生ユニット34に供給される。

【0081】第15図は、スケール・ファクタ（倍率変更係数）をタイミングデータに乗算するために用いるスケール・ロジックの、より具体的な例を示している。第15図の実施例の簡単な説明を以下に行う。より詳細には、上記の米国特許出願番号09/286、226に開示されている。イベントカウント・ステートマシン151は、部分的に、第14図のイベント・サミング・ロジック52における、イベント・カウント・ディレイ・ロジック143に相当している。イベントカウント・ス

テートマシン151は、全ての前イベントについて累積された遅延データにおけるインテグラル部（整数部）データに基づいて、バリッドデータエネーブルを生成する。レジスタ152は、スケール・ファクタを格納している。

【0082】第15図の本発明の実施例は、基本的にイベント・カウント・スケール部、イベント・バーニア・スケール部、およびイベント・スケール出力部で構成されている。イベント・カウント・スケール部は、ほぼ第14図のマルチプライヤー（乗算器）148に相当し、イベント・バーニア・スケール部は、ほぼ第14図のマルチプライヤー（乗算器）149に相当する。また、イベント・スケール出力部は、ほぼ第14図の加算器147に相当する。累積したイベントカウントデータに基づいて生成された、ステートマシン151からのバリッドデータ・エネーブルは、レジスタ159とフリップフロップ161を介してイベント・スケール出力部に送られ、総合的遅延データの整数部であるイベントスタート信号を生成する。イベント・スケール出力部はさらに、総合的な遅延データの端数部データであって、イベントスタート信号に追加すべき遅延タイミングを現すイベントバーニアデータも生成する。

【0083】レジスタ152からのスケール・ファクタは、第15図のイベント・カウント・スケール部とイベント・バーニア・スケール部に供給される。イベント・カウント・スケール部は、スケールカウンタ153、および加算器154とレジスタ155で形成するアキュミレータを有している。イベント・バーニア・スケール部は、マルチプライヤー157とレジスタ158を有している。イベント・スケール出力部は、加算器162、フリップフロップ163およびステートマシン164を有している。特に図示していないが、基準クロックが第15図のそれぞれの回路素子に共通に供給されている。

【0084】この例では、イベント・カウント・スケール部において、スケール・ファクタの端数部分が、加算器154に供給されており、スケール・ファクタの整数部分が、スケールカウンタ153に供給されている。イベント・バーニア・スケール部では、スケール・ファクタのフルスケール値（整数部と端数部）が、マルチプライヤー157に供給されている。イベントバーニアメモリからのバーニアデータは、スケール・ファクタと乗算するために、マルチプライヤー157に供給されている。

【0085】スケール・ファクタの整数部分は、スケールカウンタ153をプリセットする。これにより、基準クロックをカウントした値がプリセット値に達したとき、ターミナルカウント（TC）パルスが、スケールカウンタ153から発生される。例えば、スケール

・ファクタの整数部分の値が”3”を示している場合には、スケーリングカウンタ153は、基準クロックのパルスを3個カウントする毎に、ターミナルカウントパルスを生成する。ターミナルカウントパルスはイベントカウンタ・ステートマシン71に、クロックイネーブル信号として与えられる。これにより、ターミナルカウントパルスの数が、ステートマシン151において規定された累積したイベントカウント値に達したときに、バリッドデータ・エネーブルが生成される。

【0086】スケーリング・カウンタ153からのターミナル・カウント・パルスは、レジスタ155と158にも供給されている。上述したように、レジスタ155と加算器74は、アキュムレータを形成しているの
10
で、レジスタ155がターミナル・カウント・パルスを受け取る毎に、スケール・ファクタの端数部が以前の端数部データに加算される。このように累積した端数部が、例えば1基準クロック・サイクルのような”1”といった整数値を超過する場合には、その結果としてのキャリー信号をスケーリング・カウンタ153に与えて、次のターミナル・カウント・パルスの発生を基準クロック・サイクルに相当する時間だけ遅延させる。
20

【0087】イベント・バーニア・スケーリング部では、レジスタ158は、バーニアデータをスケール・ファクタで乗算した結果のバーニア値を、イベント・スケーリング出力部の加算器162に送出する。従って、イベント・スケーリング出力部の加算器162は、レジスタ158からのスケーリングされたバーニアデータに、レジスタ（アキュムレータ）155からの累積した端数部データを加算する。加算の結果がオーバーフロー、すなわち整数値を越える場合には、そのような整数値を示す最上位ビット（MSB）を、ステートマシン164に与えることにより、その整数値により定義される追加の遅延時間を与える。追加遅延の定義されたタイミングに基づいて、ステートマシン164は、イベント発生ユニット34に供給するイベントスタート信号すなわちバリッドデータ・エネーブルを発生する。スケーリングされたイベントバーニアの端数部は、イベント・スケーリング出力部から発生され、イベント発生ユニット34に供給される。
30

【0088】好ましい実施例しか明記していないが、上述した開示に基づき、添付した請求の範囲で、本発明の精神と範囲を離れることなく、本発明の様々な形態や変形が可能である。
40

【0089】

【発明の効果】本発明によれば、イベント型半導体テストシステムは、被試験半導体部品を評価するにあたって、テスト信号とストロープを、イベントメモリからのイベントデータを基に作成することが可能である。各イベントのタイミングは、共通基準時点からの時間の長さか（絶対時間）、直前のイベントからの時間の相違（デ
50

ルタ時間）によって規定される。テスト信号とストロープは、基準クロック周期の整数倍データと基準クロック周期の端数分データとの組み合わせにより記述されたタイミングデータによるイベント情報を用いて形成される。

【0090】本発明のイベント型半導体テストシステムは、テスト信号とストロープ信号を、イベントメモリのタイミングデータを直接的に使用して発生できる。本発明のイベント型半導体テストシステムは、被試験半導体部品の設計段階において、CADシステムによるテストベンチにより形成されたデータを直接使用し、テスト信号とストロープ信号を発生することが可能である。

【図面の簡単な説明】

【図1】サイクルベースで記述されたテストデータにより、テスト信号とストロープ信号を形成する、従来技術による半導体テストシステムの構成例を示した概念的ブロック図である。

【図2】それぞれのテストサイクルのパターンデータ、タイミングデータ、そして波形データを使用して、テスト信号を形成する場合において、第1図のサイクル型テストシステムにより使用されるデータ構成例を示す図である。

【図3】本発明のイベント型半導体テストシステムの構成例を示したブロック図である。

【図4】本発明のイベント型半導体テストシステムと自動電子デザイン環境（EDA）との関係を示した概念的ブロック図である。

【図5】（A）から（K）は、イベントメモリに記憶されたイベントデータを基にして、第5図（I）－第5図（K）のテスト信号エッジ（イベント）を発生する場合の、本発明のイベント型テストシステムの動作例を示したタイミングチャートである。

【図6】本発明のタイミング・カウント・ロジックとイベントメモリの構成例を示した概要図である。

【図7】本発明のタイミング・カウント・ロジックとイベントメモリの更に他の構成例を示した概念図である。

【図8】第6図および第7図のタイミング・カウント・ロジックにより作成されたデータに基づいて各種のイベントを発生するためのイベント発生ユニットの構成例を示したブロック概念図である。

【図9】本発明のイベント型テストシステムの、基本的なシステム構成を示した概念図である。

【図10】第6図の回路構成を使用して、第5図（I）－第5図（K）に示したイベントを発生するための各種のタイミングの関係を示したデータテーブルであり、第10図（A）は、第7図の回路構成を使用して、第5図（I）－第5図（K）に示したイベントを発生するための各種のタイミングの関係を示したデータテーブルである。

【図11】本発明のイベント型テストシステムにおける

データコンプレッション（圧縮）とデコンプレッション（復元）技術を説明するためのイベントシーケンス例を示したタイミングチャートである。

【図 12】 イベントメモリ（イベント・カウント・メモリとバーニアメモリ）に格納された、データ圧縮をしていないイベントデータを示したデータテーブルであり、第 12 図（B）は、イベントメモリに格納された、本発明のデータ圧縮を用いたイベントデータを示したデータテーブルである。

【図 13】 本発明のイベント型システムにおけるデコンプレッション・ユニット内の回路構成例を示したブロック図である。

【図 14】 本発明のイベント型テストシステムにおけるスケーリングロジックの構成例を示したブロック図である。

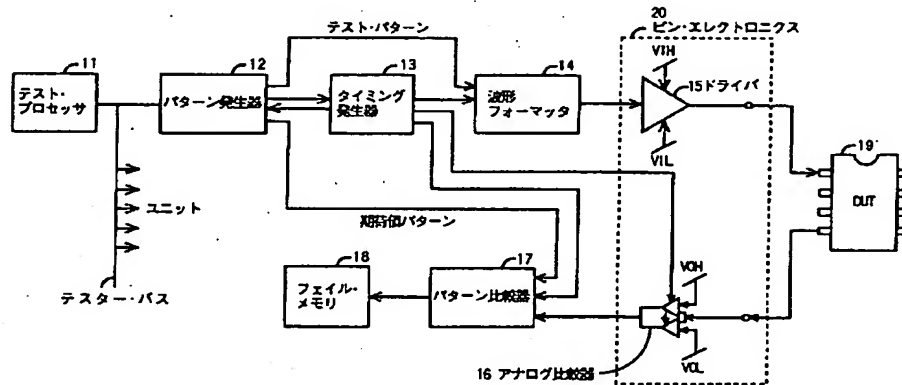
【図 15】 本発明のイベント型テストシステムにおける

スケーリングロジック内の構成をより詳細に示したブロック図である。

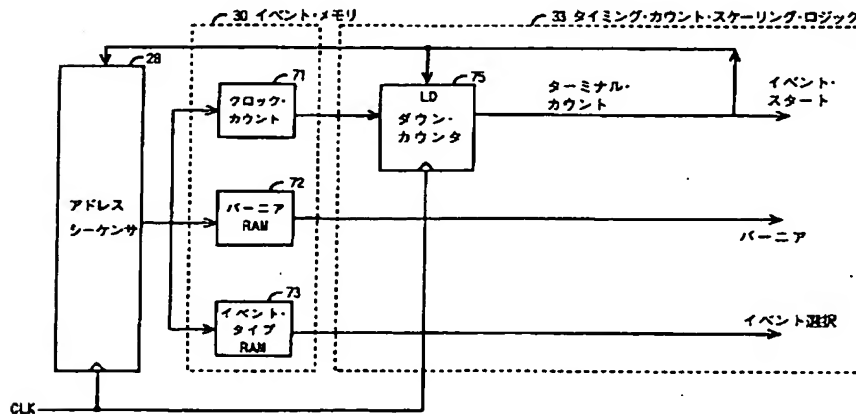
【符号の説明】

22	ホストコンピュータ
23	バスインタフェース
24	システムバス
25	インターナル（内部）バス
27	フェイルメモリ
28	アドレスシーケンサ
30	イベントメモリ
32	デコンプレッション・ユニット
33	タイミング・カウント・スケーリング・ロジック
34	イベント発生ユニット
36	ピンエレクトロニクス
38	DUT

【図 1】



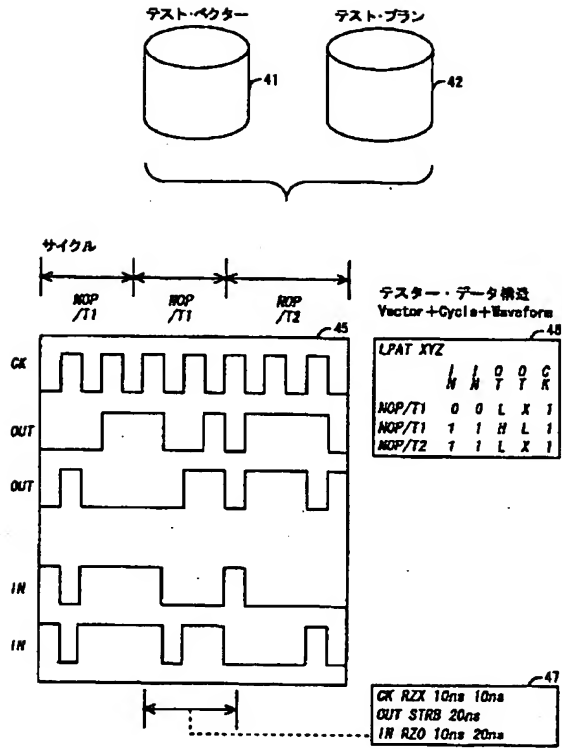
【図 6】



【図 6】

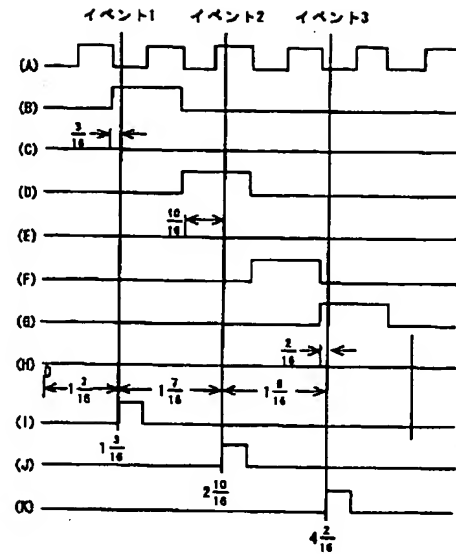
【図2】

【図2】



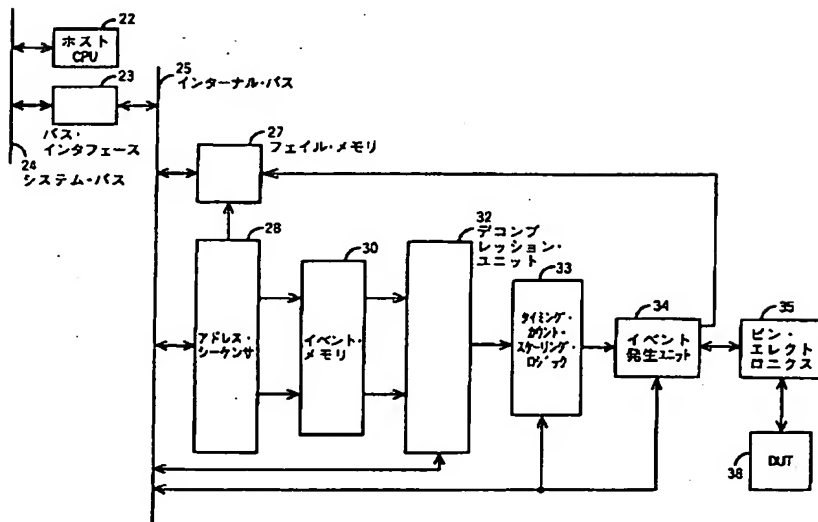
【図5】

【図5】

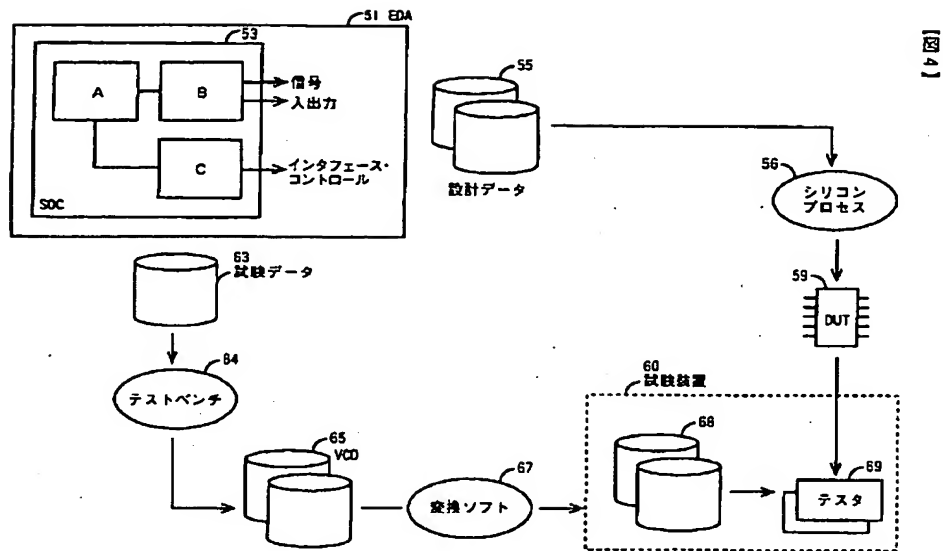


【図3】

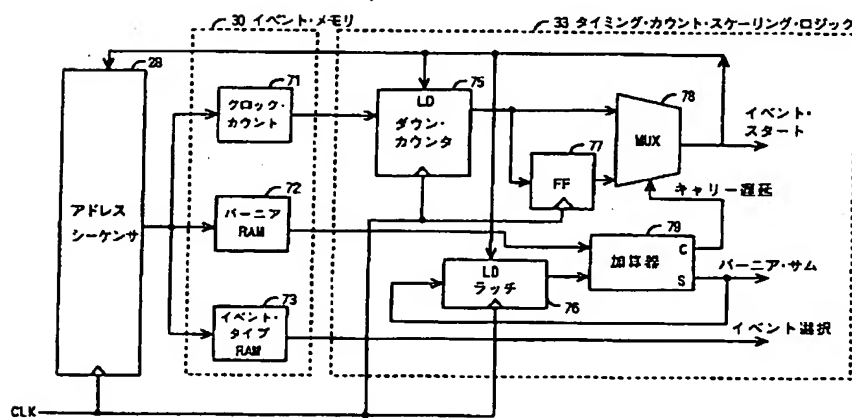
【図3】



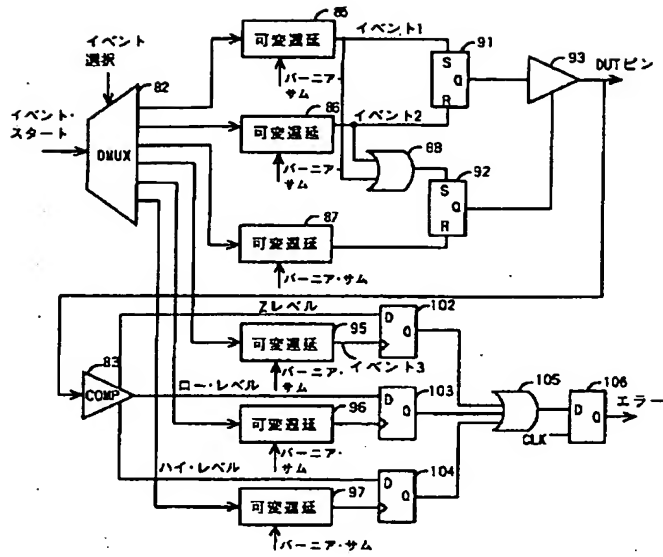
【図4】



【図7】



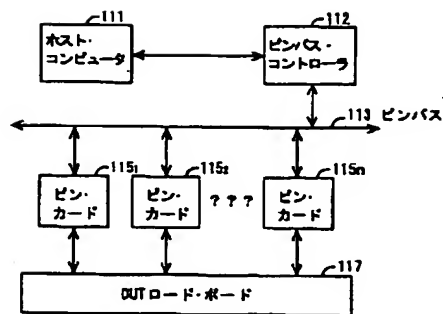
【図8】



【図9】

【図9】

【図9】



【図10】

【図10】

(A)

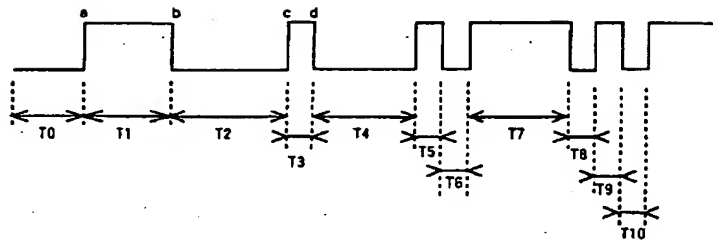
	クロック・カウンタ データ	クロック・カウンタ サム (CCS)	バーニア・データ (V)	イベントタイム 結果 (CCS+V)
イベント1	1	1	$\frac{3}{16}$	$1\frac{3}{16}$
イベント2	1	2	$\frac{10}{16}$	$2\frac{10}{16}$
イベント2	2	4	$\frac{2}{16}$	$4\frac{2}{16}$

(B)

	クロック・カウンタ	バーニア・カウンタ	バーニア・サム	合計タイミング
イベント1	1	$\frac{3}{16}$	$\frac{3}{16}$	$1\frac{3}{16}$
イベント2	1	$\frac{7}{16}$	$\frac{10}{16}$	$2\frac{10}{16}$
イベント3	1	$\frac{8}{16}$	$\frac{8}{16} \rightarrow \frac{2}{16}$	$4\frac{2}{16}$

【図11】

【図11】



【図12】

【図12】

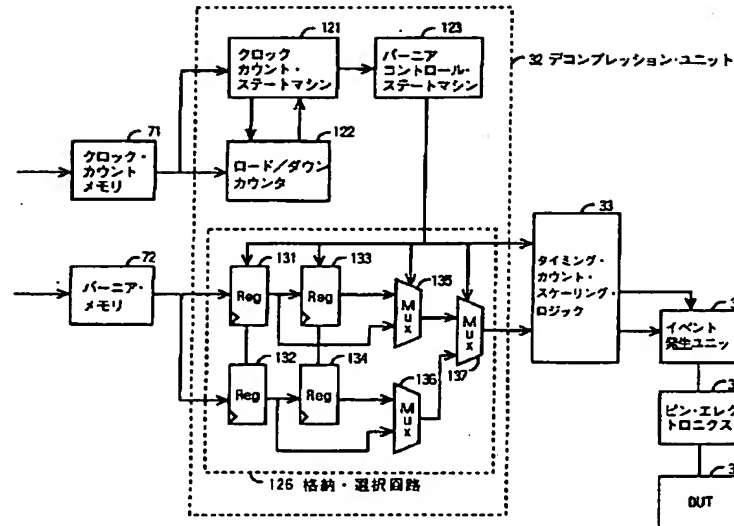
(A)

イベント	クロック・カウンタ・メモリ (27ビット)	バーニア・メモリ (10ビット)
T0	T0 coarse data	T0 fine data
T1	T1 coarse data	T1 fine data
T2	T2 coarse data	T2 fine data
T3	T3 coarse data	T3 fine data
T4	T4 coarse data	T4 fine data
T5	T5 coarse data	T5 fine data
T6	T6 coarse data	T6 fine data
T7	T7 coarse data	T7 fine data
T8	T8 coarse data	T8 fine data
T9	T9 coarse data	T9 fine data
T10	T10 coarse data	T10 fine data

(B)

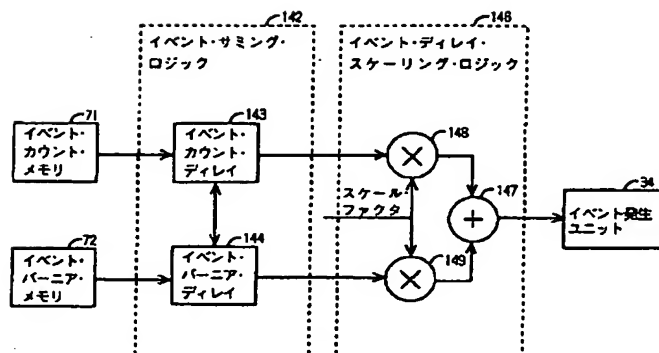
イベント	クロック・カウンタ・メモリ (8ビット)	バーニア・メモリ (40ビット)
T0	T0 Count (word 0)	T3 Vernier, T2 Vernier, T1 Vernier, T0 Vernier
T1	T1 Count (word 0)	T7 Vernier, T6 Vernier, T5 Vernier, T4 Vernier
	T1 Count (word 1)	(Next data), T10 Vernier, T9 Vernier, T8 Vernier
T2, T3	T2 Count (word 0)	(Next Vernier data)
	T2 Count (word 1)	(Next Vernier data)
	T2 Count (word 2)	(Next Vernier data)
T4, T5, T6	T4 Count (word 0)	(Next Vernier data)
	T4 Count (word 1)	(Next Vernier data)
	T4 Count (word 2)	(Next Vernier data)
	T4 Count (word 3)	(Next Vernier data)
T7, T8, T9, T10	T7 Count (word 0)	(Next Vernier data)

【図13】



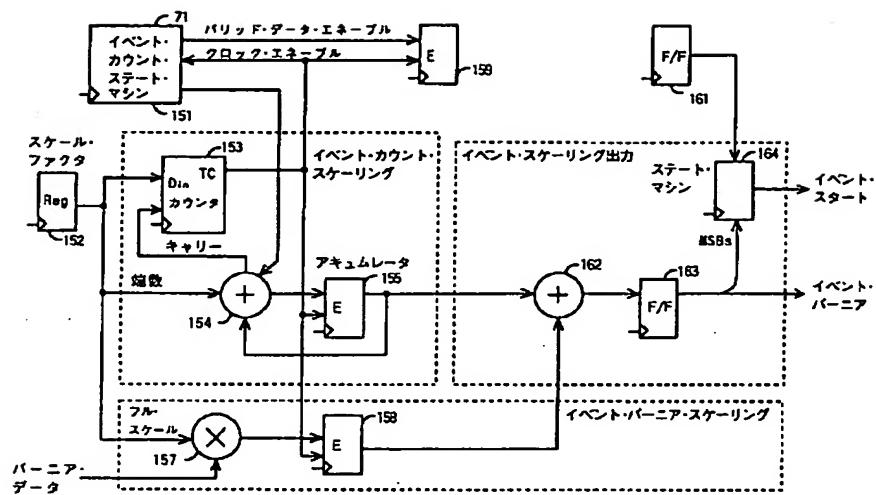
【図13】

【図14】



【図14】

【図15】



フロントページの続き

(72)発明者 矢元 裕明

アメリカ合衆国、カリフォルニア州、サン
タクララ、スコット・ブラバード 3201